

Patent

Attorney's Docket No. 027260-505

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of

Koji Nii et al.

Application No.: Unassigned

Filed: December 6, 2001

For: SEMICONDUCTOR DEVICE

)  
)  
) Group Art Unit: Unassigned

)  
) Examiner: Unassigned  
)  
)  
)  
)  
)  
)  
)

JCEB7 U.S. PTO  
10/003404  
12/06/01

**CLAIM FOR CONVENTION PRIORITY**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-070921

Filed: March 13, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

By:

Platon N. Mandros  
Registration No. 22,124

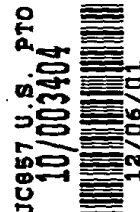
Date: December 6, 2001

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

(10/01)

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of  
the following application as filed with this Office.



Date of Application : March 13, 2001

Application Number : Japanese Patent Application No. 2001-070921

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 6th day of April, 2001

Commissioner,  
Patent Office Kozo OIKAWA

Certificate No. 2001-3027514

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2001年 3月13日

出願番号  
Application Number:

特願2001-070921

出願人  
Applicant(s):

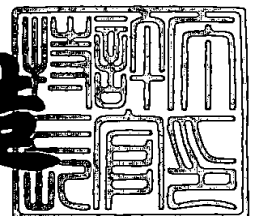
三菱電機株式会社



2001年 4月 6日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3027514

【書類名】 特許願  
【整理番号】 528820JP01  
【提出日】 平成13年 3月13日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 新居 浩二

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 五十嵐 元繁

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板上にゲート絶縁膜を介在させて設けたゲート電極、

前記ゲート電極下の前記基板における第 1 の導電型の部分を間に挟んで対向して形成された、各々前記第 1 導電型とは異なる第 2 の導電型である第 1 および第 2 の拡散層、

前記ゲート電極よりも上層に形成された配線層、および、

前記配線層と前記基板との間の一つのコンタクトホール内に設けられ、前記配線層を前記第 1 の拡散層および前記ゲート電極に接続するコンタクトを備えた半導体装置。

【請求項 2】 コンタクトは、第 2 の拡散層にも接続される請求項 1 記載の半導体装置。

【請求項 3】 基板に設けられた第 3 の拡散層、および、

第 1 および第 3 の拡散層の間に形成され、前記第 1 および第 3 の拡散層を互いに分離する素子分離領域を備え、

前記コンタクトはさらに第 3 の拡散層に接続される請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】 基板上にゲート絶縁膜を介在させて設けたゲート電極、

前記基板上に形成された拡散層、

前記ゲート電極よりも上層に形成された配線層、および、

前記配線層と前記基板との間の一つのコンタクトホール内に設けられ、前記配線層を前記拡散層および前記ゲート電極に接続するコンタクトを備え、

前記拡散層は、前記ゲート電極下の前記基板における第 1 の導電型の部分を間に挟んで対向して形成された、各々前記第 1 導電型とは異なる第 2 の導電型である第 1 および第 2 の部分と、前記第 1 の部分と第 2 の部分とをつなげる第 3 の部分とを有する半導体装置。

【請求項 5】 コンタクトは、拡散層の第 1 の部分と第 2 の部分とに接続している請求項 4 記載の半導体装置。

【請求項 6】 基板に形成された別の拡散層、および、

前記拡散層および別の拡散層の間に形成され、前記拡散層および別の拡散層を分離する素子分離領域を備え、コンタクトはさらに前記別の拡散層に接続される請求項 4 または請求項 5 記載の半導体装置。

【請求項 7】 S R A Mセルを備え、配線層は前記 S R A Mセルの記憶ノードに接続されている、請求項 1 ないし請求項 6 のうちのいずれか 1 項記載の半導体装置。

【請求項 8】 フリップフロップ回路を備え、配線層は前記フリップフロップの記憶ノードに接続されている請求項 1 ないし請求項 6 のうちのいずれか 1 項記載の半導体装置。

【請求項 9】 基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、前記ゲート絶縁膜の膜厚は前記別のゲート絶縁膜のものより薄い請求項 1 ないし請求項 8 のうちのいずれか 1 項記載の半導体装置。

【請求項 10】 基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、前記ゲート絶縁膜の比誘電率は前記別のゲート絶縁膜のものより高い請求項 1 ないし請求項 8 のうちのいずれか 1 項記載の半導体装置。

【請求項 11】 ゲート電極下の前記基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、前記第 1 および第 2 の拡散層の不純物濃度が前記ソース領域、ドレイン領域のものより高い請求項 1 ないし請求項 3 のうちのいずれか 1 項記載の半導体装置。

【請求項 12】 ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、拡散層の不純物濃度が前記ソース領域、ドレイン領域のものより高い請求項 4 ないし請求項 6 のうちのいずれか 1 項記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明はソフトエラー耐性の向上を図った半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】

まず、不純物拡散層であるソース・ドレインと、分離領域上にあるゲート電極配線とを電氣的に接続する場合を考える。ここで、ソース・ドレインはシリコン基板（もしくはウエル領域）とは反対の導電型の不純物拡散層で形成する。また、ゲート電極配線は多結晶シリコンで形成される場合が多い。

【 0 0 0 3 】

通常、分離領域上にあるゲート電極配線の一部分と拡散層の一部分に各々別個のコンタクトホールを開け、それらのコンタクトホールをアルミニウムまたはタングステン等の金属で共通に覆うことによって電氣的に接続する。その際、上記ゲート電極配線と拡散層にまたがった共通の1つのコンタクトホールを開け、そのコンタクトホールを金属で覆うことによって電氣的に接続すれば、より面積を小さくすることができる。

【 0 0 0 4 】

図 3 0 及び図 3 1 は従来技術である特開昭 6 1 - 1 6 8 2 6 5 号公報における共通コンタクトホールの構造を示した平面図および断面図である。図において、1 0 はウエル領域、2 0 は拡散層、3 0 はゲート電極、5 0 は層間膜、6 0 は共通コンタクトホールである。この共通コンタクトホール 6 0 の構造は、ゲート電極 3 0 とソース・ドレインに相当する拡散層 2 0 が、ある距離だけ離れて重ならないように位置している。理由は、ゲート電極 3 0 がシリコン基板上まで延伸した場合、そのゲート電極下部の薄いゲート酸化膜を突き抜けてゲート電極 3 0 と基板が電氣的にショートするという問題を避けるためであり、実際はゲート電極 3 0 と拡散層 2 0 の隔離部分に S i O 2 の側壁を設けて基板とのショートも避けているが、図 3 0 及び図 3 1 では簡略のため図示していない。

【 0 0 0 5 】

また、特許第 3 0 6 4 9 9 9 号公報には、シリサイド層とゲート側壁を有する



場合の共通コンタクトホール60の構造が図示されており、マスクずれに対する位置マージンを上げるために共通コンタクトホール60の中心をゲート側壁の中心位置にする工夫をしている。

【0006】

また、特開平8-125137号公報には、共通コンタクトホールに抵抗を挿入し、ソフトエラーの抑制を図っている例が示されている。

【0007】

【発明が解決しようとする課題】

従来の半導体装置は以上のように構成されているので、メモリセルの微細化に伴い、パッケージから放出される $\alpha$ 線や宇宙からの中性子線により発生された電子等による外因で記憶ノードに保持されているデータを反転させてしまうというソフトエラーの問題が顕在化している。特に電源電圧が低下するにつれて、その誤動作は顕著に現れてきている。

【0008】

ソフトエラー耐性を上げる一対策案として、記憶ノードの容量（クリティカルチャージと言う）を増やすことによって、外因による記憶データの反転を低減する方法がある。しかしながら、容量を形成するためには、面積が大きくなったり、追加の工程が必要になってコスト増加を招く等、デメリットが多い等の課題があった。

【0009】

この発明は上記のような従来の課題を解消するためになされたもので、セルフサイズを小さくし、かつソフトエラー耐性の向上を図った半導体装置を得ることを目的とする。

【0010】

【課題を解決するための手段】

この発明に係る半導体装置は、基板上にゲート絶縁膜を介在させて設けたゲート電極下の基板における第1の導電型の部分を間に挟んで対向して形成された、各々第1導電型とは異なる第2の導電型である第1および第2の拡散層、ゲート電極よりも上層に形成された配線層、および、配線層と基板との間の一つのコン

タクトホール内に設けられ、配線層を第 1 の拡散層およびゲート電極に接続するコンタクトを備えたものである。

【 0 0 1 1 】

この発明に係る半導体装置は、コンタクトは、第 2 の拡散層にも接続されるものである。

【 0 0 1 2 】

この発明に係る半導体装置は、基板に設けられた第 3 の拡散層、および、第 1 および第 3 の拡散層の間に形成され、第 1 および第 3 の拡散層を互いに分離する素子分離領域を備え、コンタクトはさらに第 3 の拡散層に接続されるものである。

【 0 0 1 3 】

この発明に係る半導体装置は、基板上にゲート絶縁膜を介在させて設けたゲート電極、基板上に形成された拡散層、ゲート電極よりも上層に形成された配線層、および、配線層と基板との間の一つのコンタクトホール内に設けられ、配線層を拡散層およびゲート電極に接続するコンタクトを備え、拡散層は、ゲート電極下の基板における第 1 の導電型の部分を間に挟んで対向して形成された、各々第 1 導電型とは異なる第 2 の導電型である第 1 および第 2 の部分と、第 1 の部分と第 2 の部分とをつなげる第 3 の部分とを有するものである。

【 0 0 1 4 】

この発明に係る半導体装置は、コンタクトは、拡散層の第 1 の部分と第 2 の部分とに接続しているものである。

【 0 0 1 5 】

この発明に係る半導体装置は、基板に形成された別の拡散層、および、拡散層および別の拡散層の間に形成され、拡散層および別の拡散層を分離する素子分離領域を備え、コンタクトはさらに別の拡散層に接続されるものである。

【 0 0 1 6 】

この発明に係る半導体装置は、S R A Mセルを備え、配線層はS R A Mセルの記憶ノードに接続されているものである。

【 0 0 1 7 】

この発明に係る半導体装置は、フリップフロップ回路を備え、配線層はフリップフロップの記憶ノードに接続されているものである。

【 0 0 1 8 】

この発明に係る半導体装置は、基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、ゲート絶縁膜の膜圧は別のゲート絶縁膜のものより薄いものである。

【 0 0 1 9 】

この発明に係る半導体装置は、基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、ゲート絶縁膜の比誘電率は別のゲート絶縁膜のものより高いものである。

【 0 0 2 0 】

この発明に係る半導体装置は、ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、第 1 および第 2 の拡散層の不純物濃度がソース領域、ドレイン領域のものより高いものである。

【 0 0 2 1 】

この発明に係る半導体装置は、ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、拡散層の不純物濃度がソース領域、ドレイン領域のものより高いものである。

【 0 0 2 2 】

【発明の実施の形態】

以下、この発明の実施の一形態について説明する。

実施の形態 1.

図 1 はこの発明の半導体装置における共通コンタクトの構造を示した平面図、図 2 は図 1 の直線 A - A' に沿う断面図、図 3 はその等価回路図である。図 1 ～図 3 において、10 はウエル領域（基板）、20, 21 は第 1、第 2 の拡散層、30 はゲート電極（電極配線）、40 はゲート絶縁膜、50 は層間膜、60 はコンタクトホール、70 は素子分離領域を示す。なお、上記ウエル領域 10 が P 型

の場合、その上面に形成される拡散層 2 0, 2 1 は N 型であり、また、ウエル領域 1 0 が N 型の場合、拡散層 2 0, 2 1 は P 型である。

### 【 0 0 2 3 】

まず、図 1 の平面図について説明する。シリコン基板もしくはウエル領域 1 0 内に素子分離領域 7 0 で隔てられた素子領域が形成され、ポリシリコン等で形成されたゲート電極 3 0 が素子分離領域 7 0 から延伸して素子領域を 2 分割するように形成されている。ゲート電極 3 0 と素子領域との重なり部分でトランジスタ  $T_r$  が形成される。不純物拡散層 2 0, 2 1 はウエル領域（基板） 1 0 とは反対の導電型の不純物を注入して形成される。ゲート電極 3 0 と拡散層 2 0 にまたがるように 1 つのコンタクトホール（共通コンタクトホール） 6 0 を開けている。

### 【 0 0 2 4 】

次に図 2 の断面図について説明する。ウエル領域 1 0 上に素子分離領域 7 0 で隔てられて第 1、第 2 の拡散層 2 0, 2 1 が形成されている。ゲート電極 3 0 の下面は、ウエル領域 1 0 との間に薄い絶縁膜 4 0 を介在させて電氣的に絶縁されている。第 1、第 2 の拡散層 2 0, 2 1、素子分離領域 7 0、ゲート電極 3 0 上を覆うように層間膜 5 0 が形成された後、ゲート電極 3 0 と第 1 の拡散層 2 0 にまたがるように共通コンタクトホール 6 0 が開けられている。そして、この共通コンタクトホール 6 0 をアルミニウムまたはタングステン等のコンタクト 8 0 によって覆うことによって、ゲート電極 3 0 と拡散層 2 0 および、層間膜 5 0 の上面に形成した配線層 9 0 を電氣的に接続することができる。

### 【 0 0 2 5 】

次に図 3 の等価回路図について説明する。ゲート電極 3 0 と素子領域との重なり部分でトランジスタ  $T_r$  が形成されることから、ゲート電極 3 0、第 1、第 2 の拡散層 2 0, 2 1、ウエル領域 1 0 は、各々、トランジスタのゲート端子 G、ソース端子 S、ドレイン端子 D、基板 B に対応している。共通コンタクト 6 0 を覆う金属によって、ゲート端子 G とソース端子 S が電氣的に接続されている。各々の端子間にはカップリングにより寄生容量が存在し、ゲート・ソース間容量  $C_{gs}$ 、ゲート・ドレイン間容量  $C_{gd}$ 、ゲート・基板間容量  $C_{gb}$ 、ソース・基板間容量  $C_{sb}$ 、ドレイン・基板間容量  $C_{db}$  が存在する。なお、ソース端子 S

もドレイン端子Dも構造上は同じ不純物拡散層20, 21に対応するため特に区別する必要はない。

#### 【0026】

図3の等価回路において、ゲート絶縁膜40を薄くするほど付加するゲート基板間容量 $C_{gb}$ を大きくすることができる。しかし、あまり薄くすると、ゲート・基板間に流れるリーク電流が増大するという問題がある。また、通常のトランジスタの場合、ゲート容量が増えることにより遅延時間が遅くなるというデメリットがある。

#### 【0027】

そこで、前記共通コンタクトホール60のゲート絶縁膜40のみの膜厚を、それ以外の通常のトランジスタのゲート絶縁膜の膜厚よりも薄くする。また、ゲート絶縁膜40を誘電率の高い材料で形成しても良い。一般的な酸化シリコン $SiO_2$ で形成したゲート絶縁膜40の比誘電率は3.8程度であるが、それよりも比誘電率の高いものとして、例えばチタン酸化膜やタンタル酸化膜等がある。ゲート・基板間容量 $C_{gb}$ は、絶縁膜40の比誘電率に比例するので、前記共通コンタクト部60のみに高誘電率の絶縁膜40を使用することで付加する容量を大きくすることができる。

#### 【0028】

また、前記共通コンタクトホール60を形成する不純物拡散層の不純物濃度を高くしても良い。不純物濃度を高くすることにより、接合容量が増えるので、ソース・基板間容量 $C_{sb}$ 、ドレイン・基板間容量 $C_{db}$ を大きくすることができる。

#### 【0029】

以上のように、この実施の形態1によれば、ゲート電極30と拡散層20を接続する際、共通コンタクトホール60を覆う金属で電氣的に接続することができるので、コンタクト数を減らすことができてより面積を小さくすることができる。さらに、共通コンタクトホール60の下部にトランジスタ $T_r$ を形成することにより、トランジスタ $T_r$ の各端子間の寄生容量を接続端子に付加することができるので、同時に容量素子を形成できるという利点がある。

## 【 0 0 3 0 】

また、前記共通コンタクトホール 6 0 のゲート絶縁膜 4 0 のみの膜厚を薄くすることで、付加容量を大きくできるばかりか、スイッチング用のトランジスタのリーク電流増大と遅延増大を抑えることができるという利点がある。

## 【 0 0 3 1 】

さらに、前記共通コンタクトホール 6 0 のゲート絶縁膜 4 0 のみに比誘電率の高い材料を使うことで、付加容量を大きくできるばかりか、スイッチング用のトランジスタの遅延増大を抑えることができるという利点がある。

## 【 0 0 3 2 】

さらに、前記共通コンタクトホール 6 0 の第 1 の拡散層 2 0 の不純物濃度を高くすることで付加容量を大きくできるばかりか、スイッチング用のトランジスタの遅延増大を抑えることができるという利点がある。

## 【 0 0 3 3 】

実施の形態 2.

図 4 はこの発明の実施の形態 2 の共通コンタクトホール 6 0 の構造を示した平面図、図 5 は図 4 の直線 A - A' 線に沿う断面図、図 6 はその等価回路図であり、前記図 1 ~ 図 3 と同一部分には同一符号を付して重複説明を省略する。

## 【 0 0 3 4 】

図 4 において、ゲート電極 3 0 を素子領域の途中まで形成するようにして、拡散層 2 0 を 1 つの領域で形成している。それ以外は実施の形態 1 と同様であり、断面構造も同じである。

## 【 0 0 3 5 】

拡散層 2 0 は図 6 の等価回路図に示されるように、ソース端子 S とドレイン端子 D に共通に接続される。実施の形態 1 の場合、ドレイン端子 D はトランジスタ  $T_r$  が導通状態の場合はソース端子 S と繋がるが、トランジスタ  $T_r$  が非導通状態の場合、ソース端子 S とは非接続となるため電氣的にフローティング状態になる。ゲート・ドレイン間容量  $C_{gd}$ 、ドレイン・基板間容量  $C_{db}$  はドレイン端子 D の電位によって値が変わることから、トランジスタ  $T_r$  が非導通状態でドレイン端子 D がフローティング状態だと容量値が変動してしまう。正確な値の容量

を付加したい場合には適さない。

【 0 0 3 6 】

上記のように、この実施の形態 2 によれば、ゲート端子 G、ソース端子 S、ドレイン端子 D を共通に接続することで、フローティング端子をなくし、正確な容量値を付加できる。

【 0 0 3 7 】

実施の形態 3.

図 7 はこの発明の実施の形態 3 の共通コンタクトホール 6 0 の構造を示した平面図、図 8 は図 7 の直線 A - A' 線に沿う断面図、図 9 はその等価回路図であり、前記図 1 ～図 3 と同一部分には同一符号を付して重複説明を省略する。

【 0 0 3 8 】

図 7 において、共通コンタクトホール 6 0 はゲート電極 3 0 と 2 つの第 1、第 2 の拡散層 2 0, 2 1 にまたがるように開けている。それ以外は実施の形態 1 と同じであり、等価回路は実施の形態 2 と同じである。実施の形態 2 では、拡散層を広げて 1 つの拡散層を形成して、ソース端子 S とドレイン端子 D を電氣的に接続したが、実施の形態 3 では、共通コンタクトホール 6 0 を広げることで、ソース端子 S とドレイン端子 D を接続している。

【 0 0 3 9 】

上記のように、この実施の形態 2 によれば、フローティング端子をなくす事で正確な容量値を付加できるばかりでなく、実施の形態 2 に比べて少ない面積増加でゲート端子 G とソース端子 S とドレイン端子 D を接続できる。

【 0 0 4 0 】

実施の形態 4.

図 1 0 は実施の形態 2 と実施の形態 3 を組み合わせた例を示した平面図、図 1 1 は図 1 0 の直線 A - A' 線に沿う断面図、図 1 2 はその等価回路図である。共通コンタクトホール 6 0 のみで接続した場合、または拡散層 2 0 のみで接続した場合、接触面積が小さいと抵抗値が大きく変動する可能性がある。

【 0 0 4 1 】

上記のように、この実施の形態 4 によれば、共通コンタクトホール 6 0 と拡散

層 2 0 の両方で接続することで、抵抗値の変動を抑えることができる。

【 0 0 4 2 】

実施の形態 5 .

図 1 3 はこの発明の実施の形態 5 による共通コンタクトホール 6 0 の構造を示した平面図、図 1 4 は図 1 3 の直線 A - A ' 線に沿う断面図、図 1 5 はその等価回路図である。図 1 4、図 1 5 において、1 0 はウエル領域、2 0, 2 1, 2 2 は第 1、第 2、第 3 の拡散層、3 0 はゲート電極、4 0 はゲート絶縁膜、5 0 は層間膜、6 0 はコンタクトホール、7 0 は素子分離領域を示す。

【 0 0 4 3 】

まず、図 1 3 の平面図について説明する。シリコン基板もしくはウエル領域 1 0 内に分離領域 7 0 で隔てられた素子領域が形成され、ポリシリコン等で形成されたゲート電極 3 0 が素子分離領域 7 0 から延伸して素子領域を 2 分割するように形成されている。ゲート電極 3 0 と素子領域との重なり部分でトランジスタ T r が形成される。不純物拡散層 2 0, 2 1, 2 2 はウエル領域 1 0 とは反対の導電型の不純物を注入して形成される。第 3 の拡散層 2 2 は素子分離領域 7 0 によって第 1、第 2 の拡散層 2 0, 2 1 と分離されている。ゲート電極 3 0 と、第 1 の拡散層 2 0 にまたがるように 1 つのコンタクトホール 6 0 を開けている。

【 0 0 4 4 】

次に図 1 4 の断面図について説明する。ウエル領域 1 0 上に素子分離領域 7 0 で隔てられて第 1、第 2、第 3 の拡散層 2 0, 2 1, 2 2 が形成されている。ゲート電極下部は、ウエル領域と薄い絶縁膜 4 0 で電氣的に絶縁されている。第 1、第 2、第 3 の拡散層 2 0, 2 1, 2 2、素子分離領域 7 0、ゲート電極 3 0 上を覆うように層間膜 5 0 が形成された後、ゲート電極 3 0 と第 1 の拡散層 2 0、素子分離領域 7 0 を隔てた第 3 の拡散層 2 2 にまたがるように共通コンタクトホール 6 0 が開けられている。アルミニウムまたはタングステン等の金属によって共通コンタクトホール 6 0 を覆うことによってゲート電極 3 0 と第 1、第 3 の拡散層 2 0, 2 2 を電氣的に接続することができる。

【 0 0 4 5 】

次に図 1 5 の等価回路図について説明する。ゲート電極 3 0 と素子領域との重



なり部分でトランジスタ  $T_r$  が形成されることから、ゲート電極 30、第1、第2の拡散層 20、21、ウェル領域 10は、各々、トランジスタ  $T_r$  のゲート端子G、ソース端子S、ドレイン端子D、基板Bに対応している。共通コンタクト60によって、ゲート端子Gとソース端子Sが電氣的に接続されている。各々の端子間にはカップリングにより寄生容量が存在し、ゲート・ソース間容量  $C_{gs}$ 、ゲート・ドレイン間容量  $C_{gd}$ 、ゲート・基板間容量  $C_{gb}$ 、ソース・基板間容量  $C_{sb}$ 、ドレイン・基板間容量  $C_{db}$  が存在する。

## 【0046】

なお、ソース端子Sもドレイン端子Dも構造上は同じ不純物拡散層に対応するため特に区別する必要はない。また、第1、第2の拡散層 20、21と第3の拡散層 22は、反対の導電型の不純物注入であっても問題ない。例えば、ウェル領域 10がN型の導電型の場合、不純物拡散層 20、21、22はP型でも良いし、不純物拡散層 20、21はP型、不純物拡散層 22はN型でも問題ない。また、第1、第2の拡散層 20、21の下部ウェル領域と、第3の拡散層 22の下部のウェル領域の導電型が反対であっても問題ない。その場合、第1の拡散層 20と第3の拡散層 22の間の分離領域にPN分離が存在することになる。

## 【0047】

以上のように、この実施の形態5によれば、ゲート電極30と分離領域70で分離された2つの第1、第3の拡散層 20、22を接続する際、共通の1つのコンタクトホール60で電氣的に接続することができるので、共通コンタクトホールの数を減らすことができ、より面積を小さくすることができる。また、共通コンタクトホール60の下部にトランジスタ  $T_r$  を形成することにより、トランジスタ  $T_r$  の各端子間の寄生容量を接続端子に付加することができるので、同時に容量素子を形成できるという利点がある。

## 【0048】

実施の形態6.

図16は実施の形態5を変形したこの発明の実施の形態6を示した平面図、図17は図16の直線A-A'線に沿う断面図、図18はその等価回路図である。実施例2と同様に、トランジスタ  $T_r$  のソースとドレインを1つの拡散領域 20

で形成したものである。

【 0 0 4 9 】

上記のように、この実施の形態 6 によれば、実施の形態 2 と同様にゲート端子 G、ソース端子 S、ドレイン端子 D を共通に接続することで、フローティング端子をなくし、正確な容量値を付加できるようにしている。

【 0 0 5 0 】

実施の形態 7.

図 1 9 は実施の形態 5 を変形したこの発明の実施の形態 7 を示した平面図、図 2 0 は図 1 9 の直線 A - A' 線に沿う断面図であり、実施の形態 5 と同一部分には同一符号を付して重複説明を省略する。

【 0 0 5 1 】

図 1 9、図 2 0 において、共通コンタクトホール 6 0 はゲート電極 3 0 と第 1、第 2、第 3 の拡散層 2 0, 2 1, 2 2 にまたがるように開けている。それ以外は実施の形態 5 と同じであり、等価回路は図 1 5 と同じである。実施の形態 6 では、第 1 の拡散層 2 0 を広げて 1 つの拡散層を形成してソース端子 S とドレイン端子 D を電氣的に接続したが、実施の形態 7 では、共通コンタクトホール 6 0 を広げることで、ソース端子 S とドレイン端子 D を接続している。

【 0 0 5 2 】

上記のように、この実施の形態 7 によれば、実施の形態 6 で述べたように、フローティング端子をなくす事で正確な容量値を付加できるばかりでなく、実施の形態 6 に比べて少ない面積増加でゲート端子 G とソース端子 S とドレイン端子 D を接続できる。

【 0 0 5 3 】

実施の形態 8.

図 2 1 は実施の形態 6 と実施の形態 7 を組み合わせたこの発明の実施の形態 8 の平面図、図 2 2 は図 2 1 の直線 A - A' 線に沿う断面図であり、等価回路図は図 1 5 と同じである。共通コンタクトホール 6 0 のみで接続した場合、または拡散層のみで接続した場合、接触面積が小さいと抵抗値が大きく変動する可能性がある。共通コンタクトホール 6 0 と第 1 の拡散層 2 0 の両方で接続することで、

抵抗値の変動を抑えることができる。

【 0 0 5 4 】

実施の形態 9.

次に、この発明の共通コンタクトホール 60 を S R A M メモリセルに適用した実施の形態 9 について説明する。図 2 3 は、S R A M メモリセルのレイアウト平面図、図 2 4 はその等価回路図を示す。図 2 3、図 2 4 において、P W 0, P W 1 は P ウエル領域、N W は N ウエル領域、F L 1 0 0 ・ F L 1 0 1 ・ F L 1 1 0 ・ F L 1 1 1 ・ F L 1 1 2 ・ F L 1 1 3 ・ F L 2 0 0 ・ F L 2 0 1 ・ F L 2 1 0 ・ F L 2 1 1 ・ F L 2 2 0 ・ F L 2 2 1 は P + 拡散領域もしくは N + 拡散領域、P L 1 ・ P L 2 ・ P L 3 ・ P L 4 はポリシリコン配線層、A L 1 ・ A L 2 は金属配線、N 1 ・ N 2 ・ N 3 ・ N 4 は N M O S トランジスタ、P 1 ・ P 2 ・ P 3 ・ P 4 は P M O S トランジスタ、C H 1 0 0 ・ C H 1 1 0 ・ C H 1 1 1 ・ C H 1 1 2 ・ C H 2 0 0 ・ C H 2 0 1 ・ C H 2 1 0 ・ C H 2 1 1 ・ C H 2 2 1 はコンタクトホール、V D D は電源線、G N D は接地線、B L 1 ・ B L 2 はビット線、W L 1, W L 2 はワード線、a, b は記憶ノードを示す。

【 0 0 5 5 】

まず、図 2 4 に示す等価回路で S R A M メモリの回路構成について説明する。N M O S トランジスタ N 1 と P M O S トランジスタ P 1 で第 1 のインバータを構成し、N M O S トランジスタ N 2 と P M O S トランジスタ P 2 で第 2 のインバータを構成する。

【 0 0 5 6 】

第 1、第 2 のインバータの一方の出力端子は他方の入力端子に互いに接続して記憶ノード a, b を構成する。N M O S トランジスタ N 3 のソース、ゲート、ドレインを各々、一方の記憶端子 a、ワード線 W L 1、一方のビット線 B L 1 に接続する。N M O S トランジスタ N 4 のソース、ゲート、ドレインを各々、他方の記憶端子 b、ワード線 W L 2、他方のビット線 B L 2 に接続する。P 3, P 4 は容量付加の為に形成した P M O S トランジスタである。この P M O S トランジスタ P 3 のゲート端子 G 及びソース端子 S を記憶端子 a に接続し、P M O S トランジスタ P 4 のゲート端子 G 及びソース端子 S を記憶端子 b に接続する。以上のよ

うに接続することで、SRAMメモリセル回路を構成する。

【0057】

次に、図23のレイアウト平面図に示すSRAMメモリセルのレイアウト構成について説明する。図において、1つのN型のウエル領域NWと、2つのP型のウエル領域PW0、PW1を形成する。PMOSトランジスタP1、P2、P3、P4は、図に示すように1つのNウエル領域NW内に形成する。

【0058】

そして、第1、第4のNMOSトランジスタN1、N4は、一方のPウエル領域PW0内に形成し、第2、第3のNMOSトランジスタN2、N3は、他方のPウエル領域PW1内に形成する。図中で示した拡散領域FLとポリシリコン配線層PLの重なる部分がトランジスタになる。

【0059】

PMOSトランジスタP1、P4とNMOSトランジスタN1のゲート端子Gは共通のポリシリコン配線PL1で共通に記憶端子bに接続される。PMOSトランジスタP2、P3とNMOSトランジスタN2のゲート端子Gは共通のポリシリコン配線PL2で共通に記憶端子aに接続される。Nウエル領域NW内のFL100、FL101、FL110、FL111、FL112、FL113にはP型不純物を注入してP+拡散領域を形成する。Pウエル領域PW0、PW1内のFL200、FL201、FL210、FL211、FL220、FL221にはN型不純物を注入してN+拡散領域を形成する。

【0060】

N+拡散層FL210、P+拡散層FL110は共通コンタクトホールCH110及びコンタクトホールCH210と金属配線AL1を介してポリシリコン配線PL2と低インピーダンスで電氣的に接続される。この部分は、図24の等価回路図中に示す記憶ノードの一方の端子aに対応する。また、N+拡散層FL211、P+拡散層FL111は共通コンタクトホールCH111及びコンタクトホールCH211と金属配線AL2を介してポリシリコン配線PL1と低インピーダンスで電氣的に接続される。この部分は、図24の等価回路図中に示す記憶ノードの他方の端子bに対応する。

## 【0061】

P+拡散領域FL100, FL101はコンタクトホールCH100, CH101を介してVDD電位に接続される。図24において、PMOSトランジスタP1, P2のソースに対応する。N+拡散層FL200, FL201は各々CH200, CH201を介してGND電位に接続される。図24において、NMOSトランジスタN1, N2のソースに対応する。N+拡散層FL220, FL221は、コンタクトホールCH220, 221を介してビット線BL1, BL2に各々接続される。ポリシリコン配線PL3及びPL4は、コンタクトホールCH230, CH231を介してワード線WL1, WL2に各々接続される。なお、「膜圧」、「比誘電率」、「不純物濃度」の各パラメータについて、PMOSトランジスタP3, P4は、少なくともアクセストランジスタであるNMOSトランジスタN3, N4と相違させれば良く、P1, P2, N3, N4は、P3, P4と同じであっても相違させても良い。

## 【0062】

以上のように、この実施の形態9によれば、共通コンタクトホールCH110, 111で拡散領域とポリシリコン配線を接続しているため、SRAMメモリセルを構成するのに必要なコンタクト数を減らすことができ、面積を小さくすることができる。そして、共通コンタクトホールCH110, 111の部分でPMOSトランジスタP3, P4を形成することで、面積の増加なく容量を記憶端子a, bに付加する事ができる。

## 【0063】

これにより、 $\alpha$ 線等により発生した電子が、記憶ノードの保持データを反転させようとしても、記憶端子の容量が大きいと記憶ノードの電位の変化が遅くなるため、データの反転が起こりにくくなる。つまり、ソフトエラー耐性が向上するという効果が得られる。

## 【0064】

実施の形態10.

次に、この発明の共通コンタクトホール60をSRAMメモリセルに適用した他の実施の形態10について説明する。図25は、SRAMメモリセルのレイア



ウト平面図、図 2 6 はその等価回路図を示すもので、図 2 3、図 2 4 と同一部分  
は同一符号を付して重複説明は省略する。

【 0 0 6 5 】

まず、図 2 6 の等価回路図について説明する。容量付加のために追加した P M  
O S トランジスタ P 3、P 4 の各々のゲート端子、ソース端子、ドレイン端子を  
共通に接続して、記憶端子 a、b に接続している以外は、実施の形態 9 で示した  
等価回路図と同じである。

【 0 0 6 6 】

次に、図 2 5 についてレイアウト構成を説明する。共通コンタクトホール C H  
1 1 0、C H 1 1 1 を広げて、P 型拡散層 F L 1 1 0 と F L 1 1 2、F L 1 1 1  
と F L 1 1 3 を共通に接続した以外は実施の形態 9 のレイアウト構成と同じであ  
る。

【 0 0 6 7 】

上記のように、この実施の形態 1 0 によれば、実施の形態 9 で示した効果以外  
に、フローティング端子をなくすことができるので、正確な容量値を記憶端子 a  
、b に付加できるという利点がある。

【 0 0 6 8 】

実施の形態 1 1.

次に、この発明の共通コンタクトホールを S R A M メモリセルに適用した実施  
の形態 1 1 について説明する。図 2 7 は、S R A M メモリセルのレイアウト平面  
図、図 2 8 はその等価回路図を示すもので、前記実施の形態 9 による図 2 3、図  
2 4 と同一部分は同一符号を付して重複説明は省略する。

【 0 0 6 9 】

図 2 7 のレイアウト平面図において、共通コンタクトホール C H 3 0 0 は、F  
L 2 1 0、F L 1 1 0、F L 1 1 2 及びポリシリコン配線 P L 2 にまたがるよう  
に形成している。

【 0 0 7 0 】

また、共通コンタクトホール C H 3 0 1 は、F L 2 1 1、F L 1 1 1、F L 1  
1 3 及びポリシリコン配線 P L 1 にまたがるように形成している。N + 拡散層 F

L 2 1 0、P+拡散層 F L 1 1 0、F L 1 1 2 は共通コンタクトホール C H 3 0 0 を介してポリシリコン配線 P L 2 と低インピーダンスで電氣的に接続される。この部分は、図 2 8 の等価回路図中に示す記憶ノードの一方の端子 a に対応する。また、N+拡散層 F L 2 1 1、P+拡散層 F L 1 1 1、F L 1 1 3 は共通コンタクトホール C H 3 0 1 を介してポリシリコン配線 P L 1 と低インピーダンスで電氣的に接続される。この部分は、図 2 8 の等価回路図中に示す記憶ノードの他方の端子 b に対応する。

## 【 0 0 7 1 】

以上のように、この実施の形態 1 1 によれば、共通コンタクト C H 3 0 0、C H 3 0 1 で拡散領域とポリシリコン配線を接続しているため、S R A M メモリセルを構成するのに必要なコンタクト数を減らすことができ、面積を小さくすることができる。そして、共通コンタクトホール C H 3 0 0、C H 3 0 1 の N ウェル内の部分で P M O S トランジスタ P 3、P 4 を形成することで、面積の増加なく容量を記憶端子 a、b に付加する事ができる。

## 【 0 0 7 2 】

これにより、 $\alpha$ 線等により発生した電子が、記憶ノードの保持データを反転させようとしても、記憶端子の容量が大きいと記憶ノードの電位の変化が遅くなるため、データの反転が起こりにくくなる。つまり、ソフトエラー耐性が向上するという効果が得られる。更に、フローティング端子をなくすることができるので、正確な容量値を記憶端子 a、b に付加できるという利点がある。

## 【 0 0 7 3 】

実施の形態 1 2.

図 1 ～図 2 2 の容量付加用のトランジスタが、S R A M セルに適用される例が、図 2 3 ～図 2 8 に示しているが、S R A M セル以外にも例えば、フリップフロップ回路にも適用される。このフリップフロップ回路の例を図 2 9 に示す。図中の記憶ノード M 1 ～M 4 の各々に、実施の形態 1 から実施の形態 8 のいずれかの容量付加用のトランジスタが接続されるもので、上記の各実施の形態と同様な利点がある。A、Aバーは、論理が互いに相補なクロック信号、O、Oバーはトランクファゲートで互いに相補に O N / O F F する。

## 【 0 0 7 4 】

## 【発明の効果】

以上ように、この発明によれば、基板上にゲート絶縁膜を介在させて設けたゲート電極下の基板における第1の導電型の部分を間に挟んで対向して形成された、各々第1導電型とは異なる第2の導電型である第1および第2の拡散層、ゲート電極よりも上層に形成された配線層、および、配線層と基板との間の一つのコンタクトホール内に設けられ、配線層を第1の拡散層およびゲート電極に接続するコンタクトを備えるように構成したので、面積の小さい高集積なSRAMメモリセルが実現できるばかりでなく、ソフトエラー耐性が向上するという効果がある。

## 【 0 0 7 5 】

この発明によれば、コンタクトは、第2の拡散層にも接続される様に構成したので、上記と同様な効果が得られる。

## 【 0 0 7 6 】

この発明によれば、基板に設けられた第3の拡散層、および、第1および第3の拡散層の間に形成され、第1および第3の拡散層を互いに分離する素子分離領域を備え、コンタクトはさらに第3の拡散層に接続されるように構成したので、フローティング端子をなくし、正確な容量値を付加できる効果がある。

## 【 0 0 7 7 】

この発明によれば、基板上にゲート絶縁膜を介在させて設けたゲート電極、基板上に形成された拡散層、ゲート電極よりも上層に形成された配線層、および、配線層と基板との間の一つのコンタクトホール内に設けられ、配線層を拡散層およびゲート電極に接続するコンタクトを備え、拡散層は、ゲート電極下の基板における第1の導電型の部分を間に挟んで対向して形成された、各々第1導電型とは異なる第2の導電型である第1および第2の部分と、第1の部分と第2の部分とをつなげる第3の部分とを有するように構成したので、フローティング端子をなくし、正確な容量値を付加できるばかりでなく、少ない面積増加でゲート端子Gとソース端子Sとドレイン端子Dを接続できる効果がある。

## 【 0 0 7 8 】



この発明によれば、コンタクトは、拡散層の第 1 の部分と第 2 の部分とに接続ように構成したので、上記と同様な効果が得られる。

## 【 0 0 7 9 】

この発明によれば、基板に形成された別の拡散層、および、拡散層および別の拡散層の間に形成され、拡散層および別の拡散層を分離する素子分離領域を備え、コンタクトはさらに別の拡散層に接続されるように構成したので、S R A M メモリセルを構成するのに必要なコンタクト数を減らすことができ、面積の増加なく容量を記憶端子に付加することができる効果がある。

## 【 0 0 8 0 】

この発明によれば、S R A M セルを備え、配線層は S R A M セルの記憶ノードに接続されているように構成したので、同時に容量素子を形成できる効果がある。

## 【 0 0 8 1 】

この発明によれば、フリップフロップ回路を備え、配線層はフリップフロップの記憶ノードに接続されているように構成したので、上記と同様な効果が得られる。

## 【 0 0 8 2 】

この発明によれば、基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、ゲート絶縁膜の膜圧は別のゲート絶縁膜のものより薄く構成したので、付加容量を大きくできるばかりか、通常のトランジスタのリーク電流増大と遅延増大を抑えることができる効果がある。

## 【 0 0 8 3 】

この発明によれば、基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、ゲート絶縁膜の比誘電率は別のゲート絶縁膜のものより高いように構成したので、付加容量を大きくできるばかりか、通常のトランジスタの遅延増大を抑えることができる効果がある。

## 【 0 0 8 4 】

この発明によれば、ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、第1および第2の拡散層の不純物濃度がソース領域、ドレイン領域のものより高いように構成したので、付加容量を大きくできるばかりか、通常のトランジスタの遅延増大を抑えることができる効果がある。

【0085】

この発明によれば、ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、拡散層の不純物濃度がソース領域、ドレイン領域のものより高いように構成したので、上記と同様な効果が得られる。

【図面の簡単な説明】

【図1】 この発明の半導体装置における共通コンタクトホール60の構造を示した平面図である。

【図2】 図1の直線A-A'に沿う断面図である。

【図3】 その等価回路図である。

【図4】 この発明の実施の形態2の共通コンタクトホール60の構造を示した平面図である。

【図5】 図4の直線A-A'線に沿う断面図である。

【図6】 その等価回路図である。

【図7】 この発明の実施の形態3の共通コンタクトホール60の構造を示した平面図である。

【図8】 図7の直線A-A'線に沿う断面図である。

【図9】 その等価回路図である。

【図10】 この発明の実施の形態4の共通コンタクトホール60の構造を示した平面図である。

【図11】 図10の直線A-A'線に沿う断面図である。

【図12】 その等価回路図である。

【図13】 この発明の実施の形態5の共通コンタクトホール60の構造を示した平面図である。

【図 1 4】 図 1 3 の直線 A - A' 線に沿う断面図である。

【図 1 5】 その等価回路図である。

【図 1 6】 この発明の実施の形態 6 の共通コンタクトホール 6 0 の構造を示した平面図である。

【図 1 7】 図 1 6 の直線 A - A' 線に沿う断面図である。

【図 1 8】 その等価回路図である。

【図 1 9】 この発明の実施の形態 7 の共通コンタクトホール 6 0 の構造を示した平面図である。

【図 2 0】 図 1 9 の直線 A - A' 線に沿う断面図である。

【図 2 1】 この発明の実施の形態 8 の共通コンタクトホール 6 0 の構造を示した平面図である。

【図 2 2】 図 2 1 の直線 A - A' 線に沿う断面図である。

【図 2 3】 この発明の実施の形態 9 による S R A M メモリセルのレイアウト平面図である。

【図 2 4】 その等価回路図である。

【図 2 5】 この発明の実施の形態 1 0 による S R A M メモリセルのレイアウト平面図である。

【図 2 6】 その等価回路図である。

【図 2 7】 この発明の実施の形態 1 1 による S R A M メモリセルのレイアウト平面図である。

【図 2 8】 その等価回路図である。

【図 2 9】 この発明の実施の形態 1 2 によるフリップフロップ回路の等価回路図である。

【図 3 0】 従来における共通コンタクトホールの構造を示した平面図である。

【図 3 1】 図 2 9 の直線 A - A' 線に沿う断面図である。

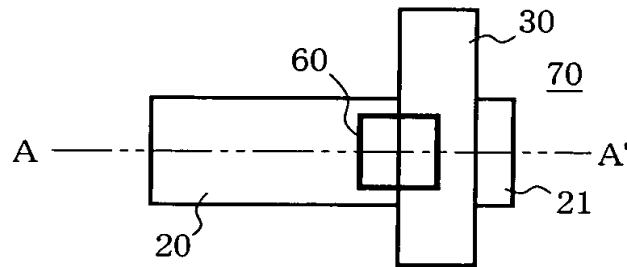
【符号の説明】

1 0 ウエル領域、2 0, 2 1, 2 2 拡散層、3 0 ゲート電極、4 0 ゲート絶縁膜、5 0 層間膜、6 0 共通コンタクトホール、7 0 素子分離領域

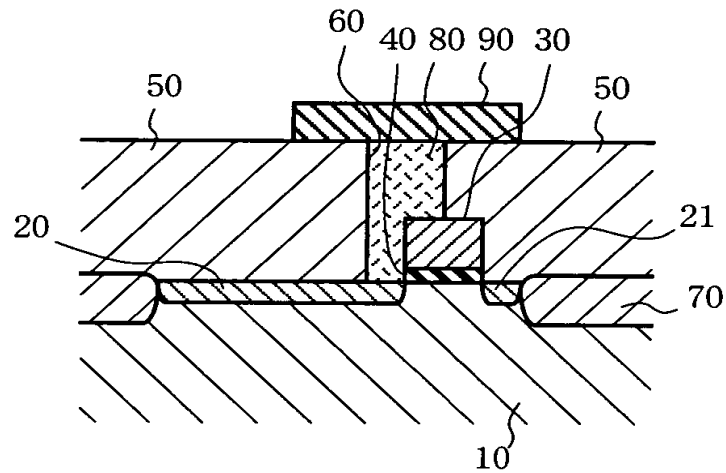
、 8 0    コンタクト、 9 0    配線層     $C_{db}$     ドレイン・基板間容量、  $C_{gb}$   
ゲート・基板間容量、  $C_{gd}$     ゲート・ドレイン間容量、  $C_{gs}$     ゲート・ソー  
ス間容量、  $C_{sb}$     ソース・基板間容量。

【書類名】 図面

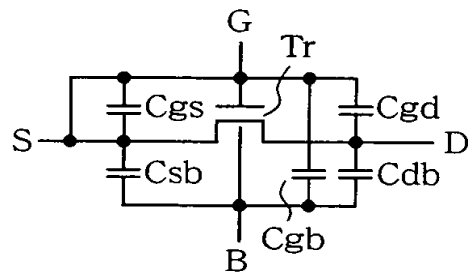
【図 1】



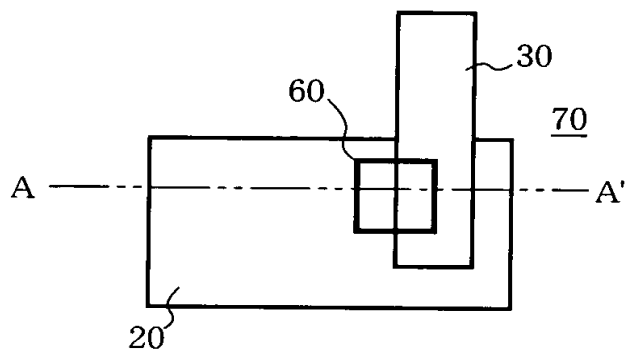
【図 2】



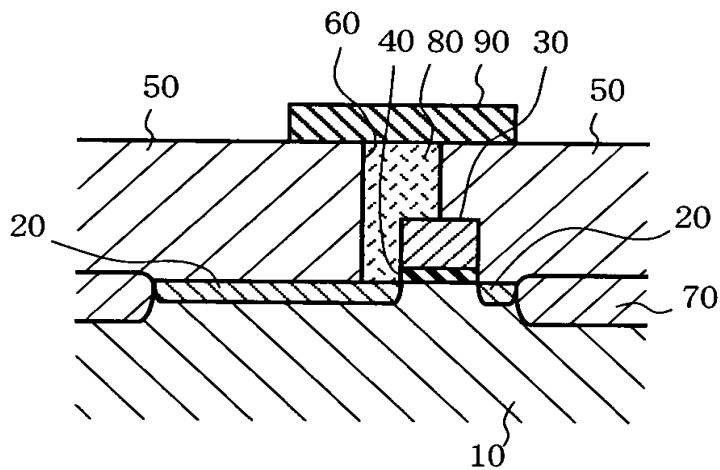
【図 3】



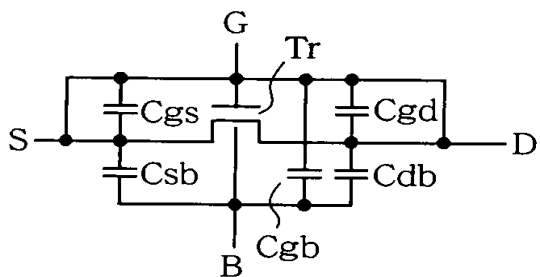
【図 4】



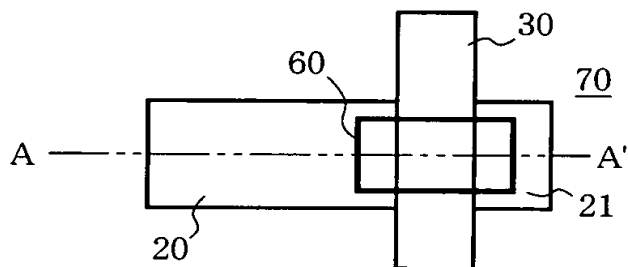
【図 5】



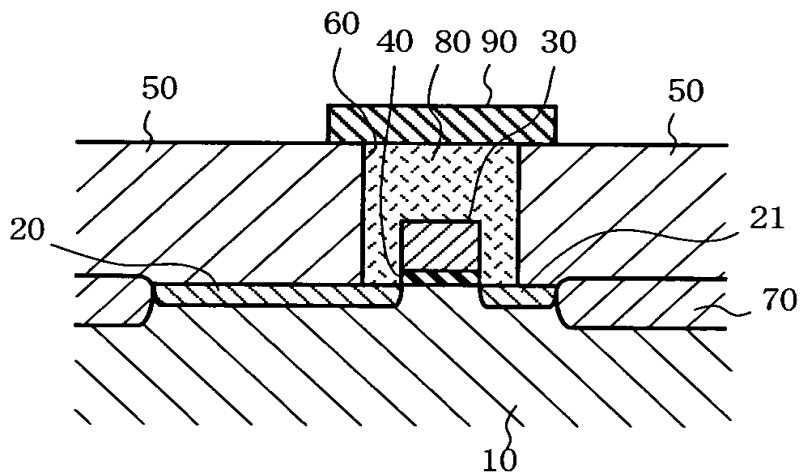
【図 6】



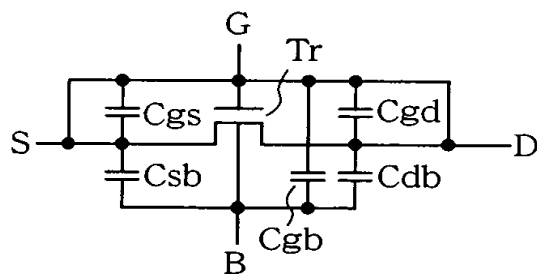
【図 7】



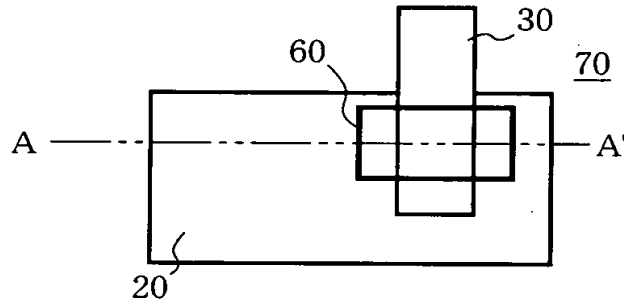
【図 8】



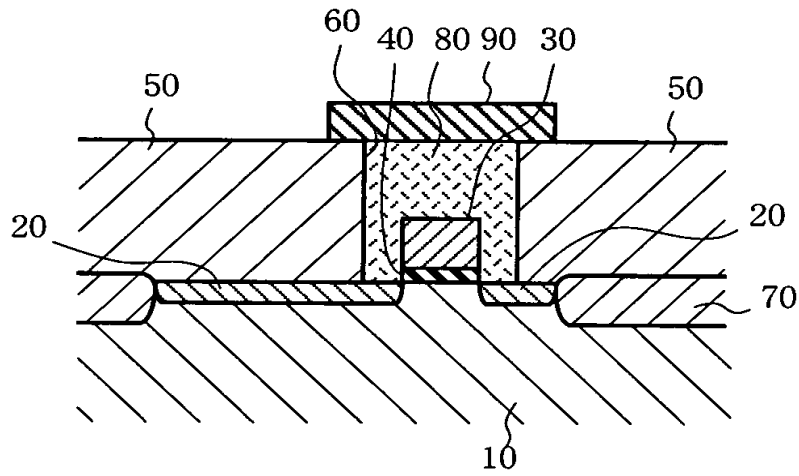
【図 9】



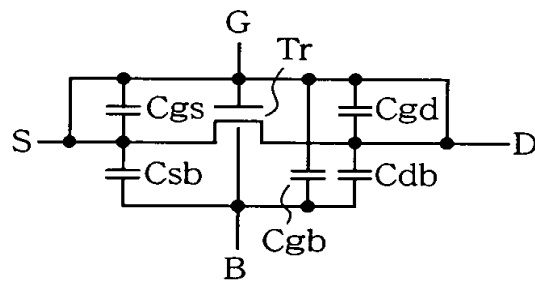
【図 1 0】



【図 1 1】

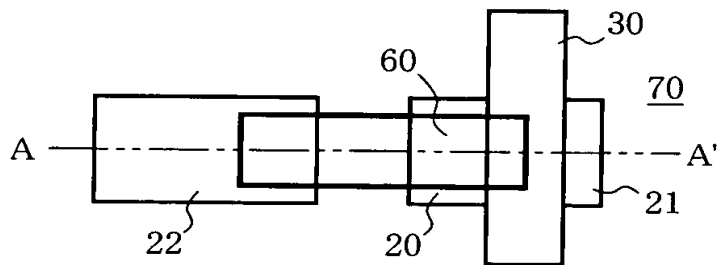


【図 1 2】

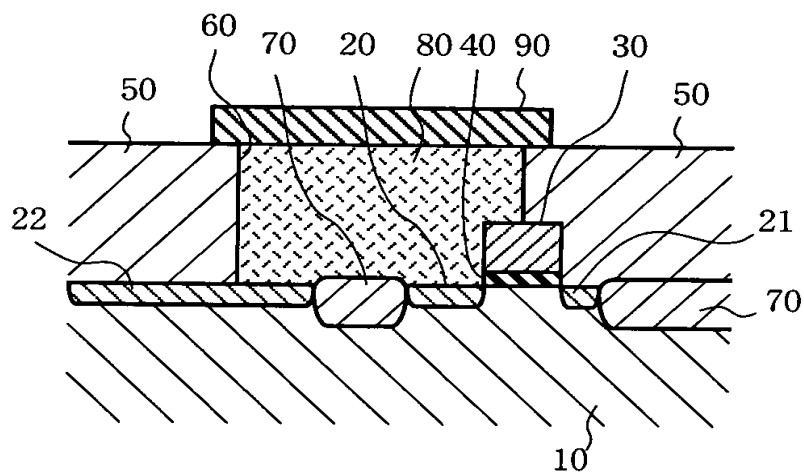




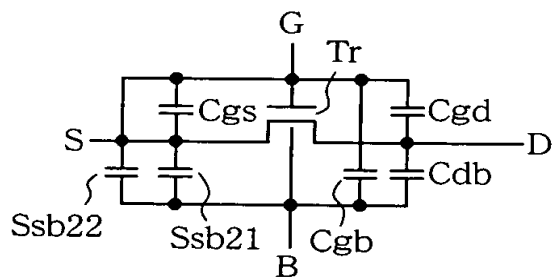
【図 13】



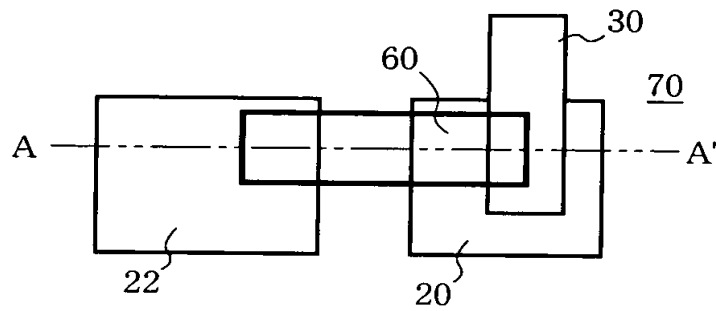
【図 14】



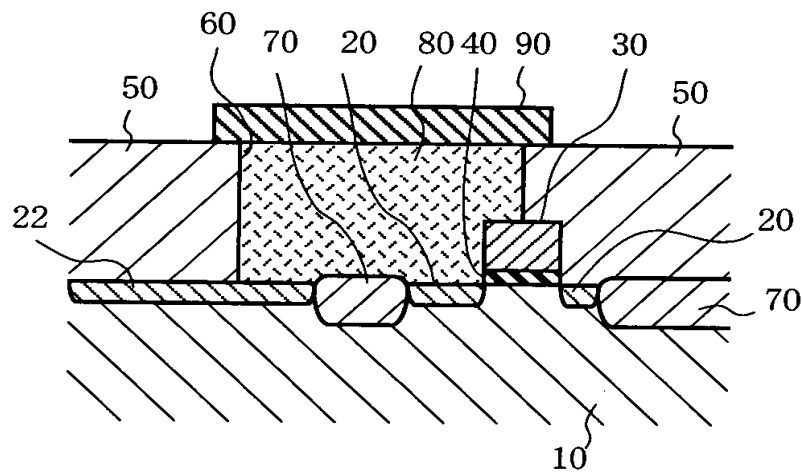
【図 15】



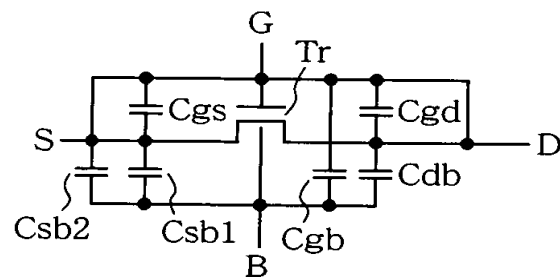
【図 16】



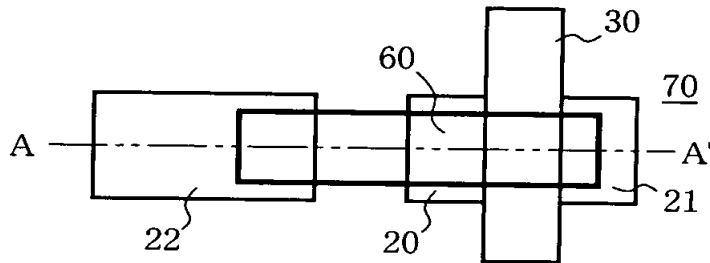
【図 17】



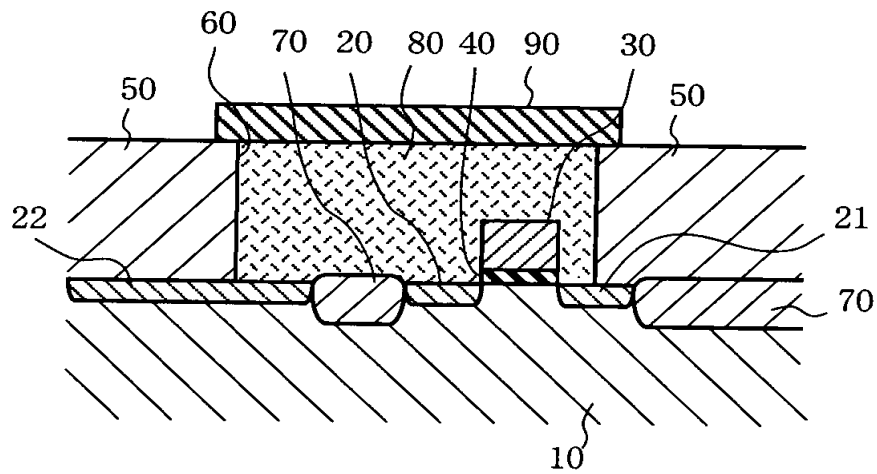
【図 18】



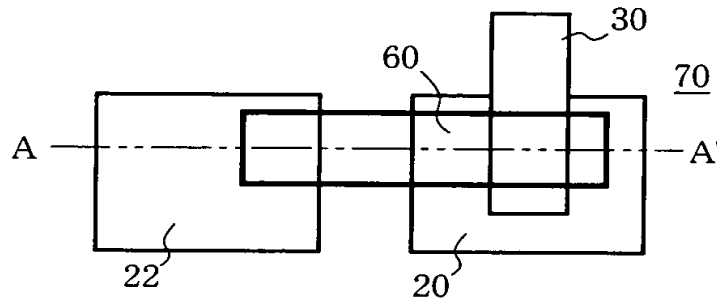
【図 1 9】



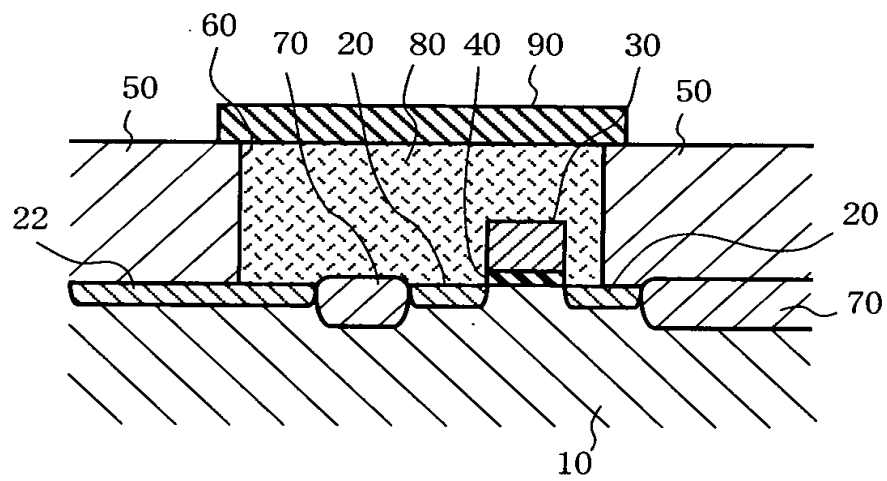
【図 2 0】



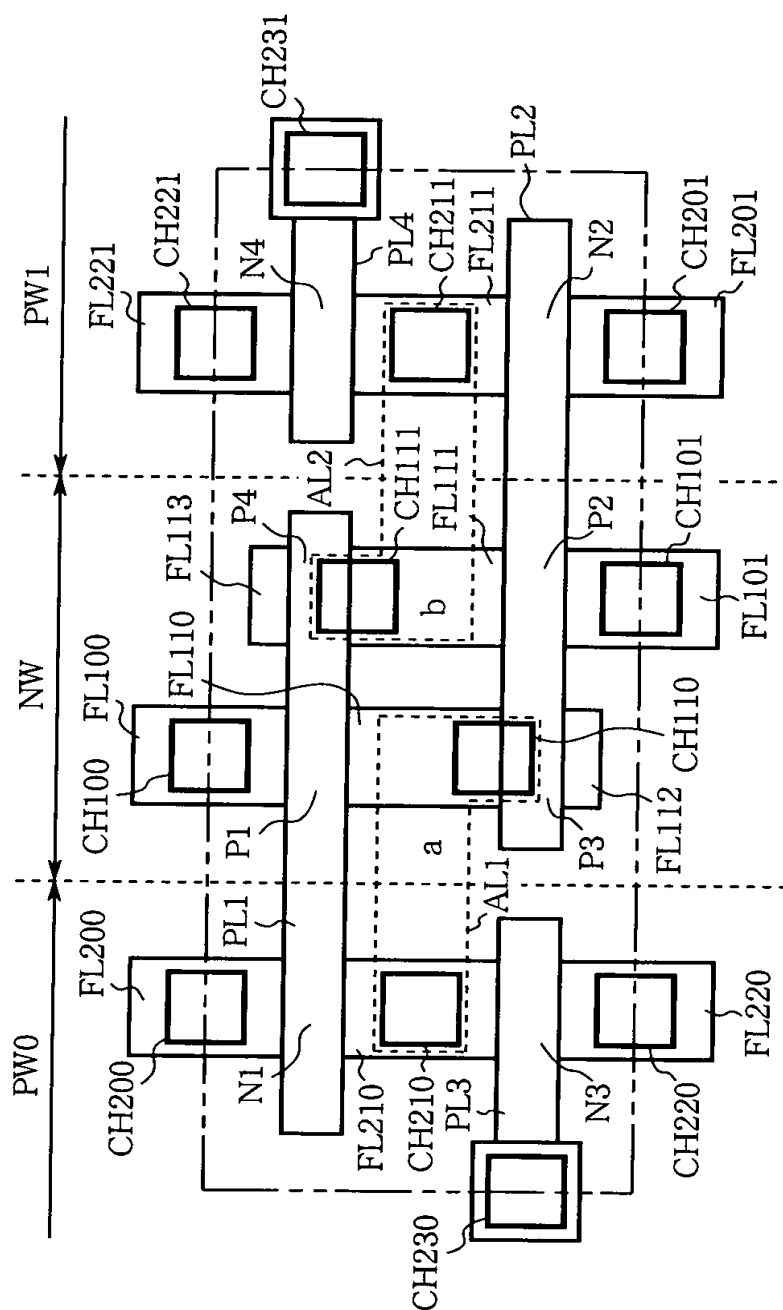
【図 2 1】



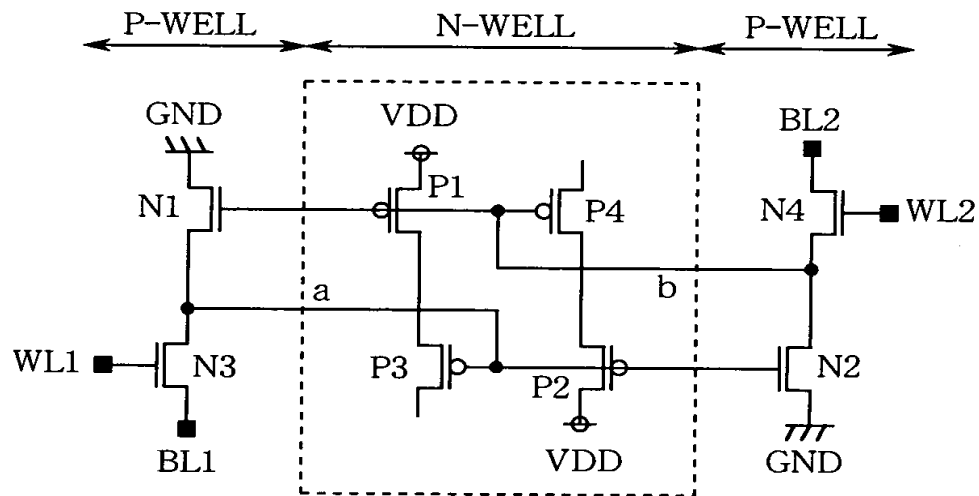
【図 2 2】



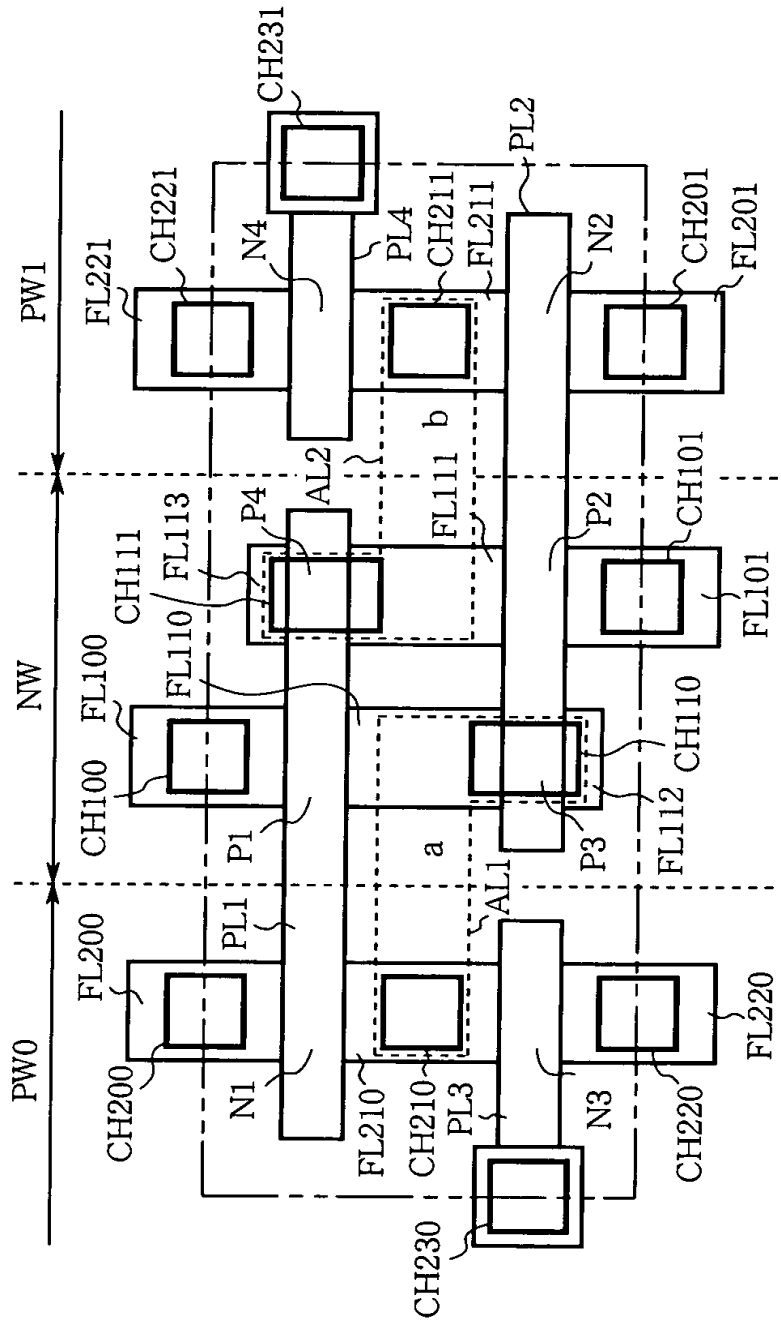
【図 23】



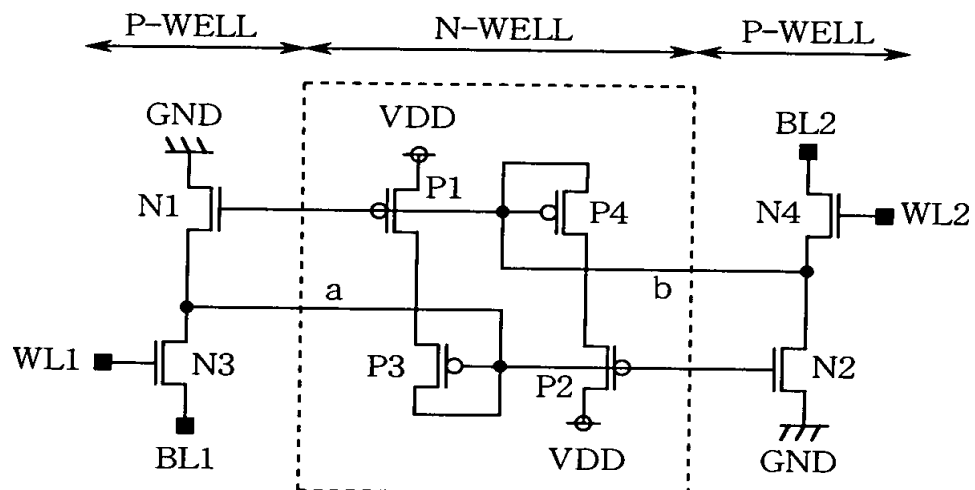
【図 24】



【図 25】

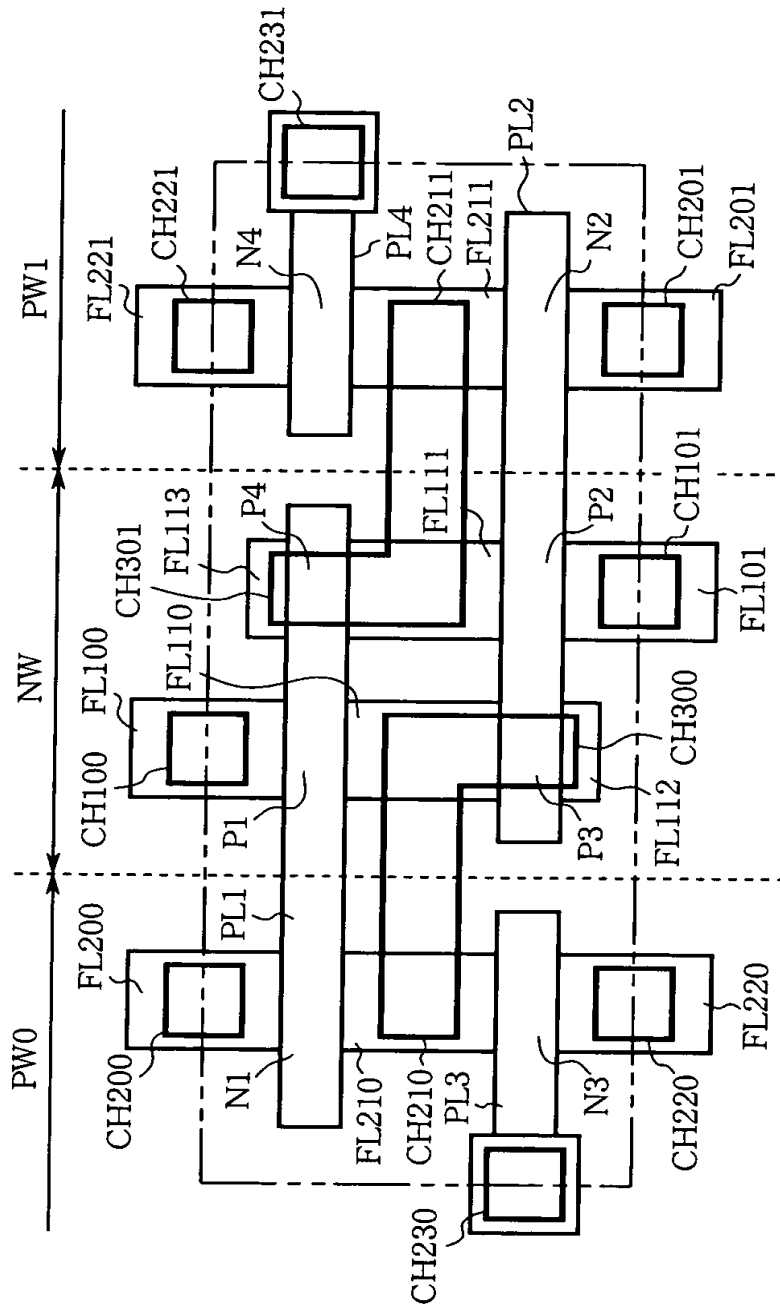


【図 26】

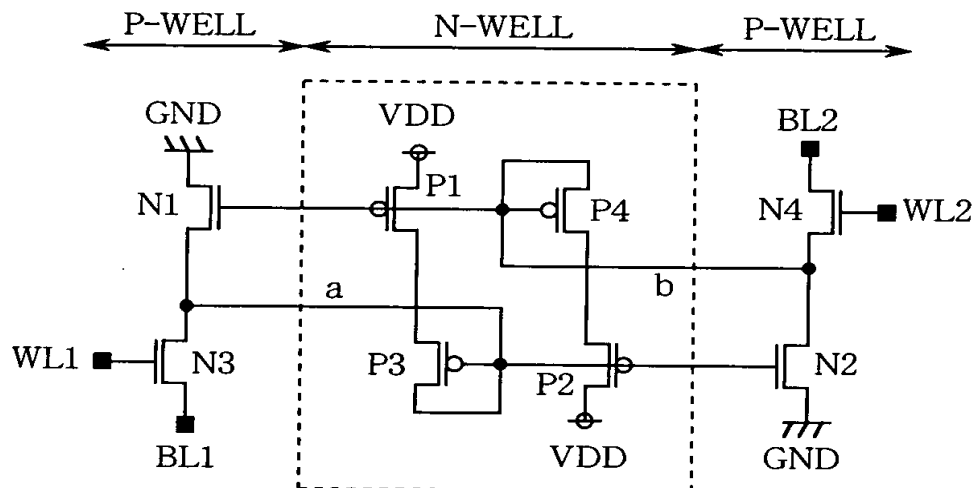




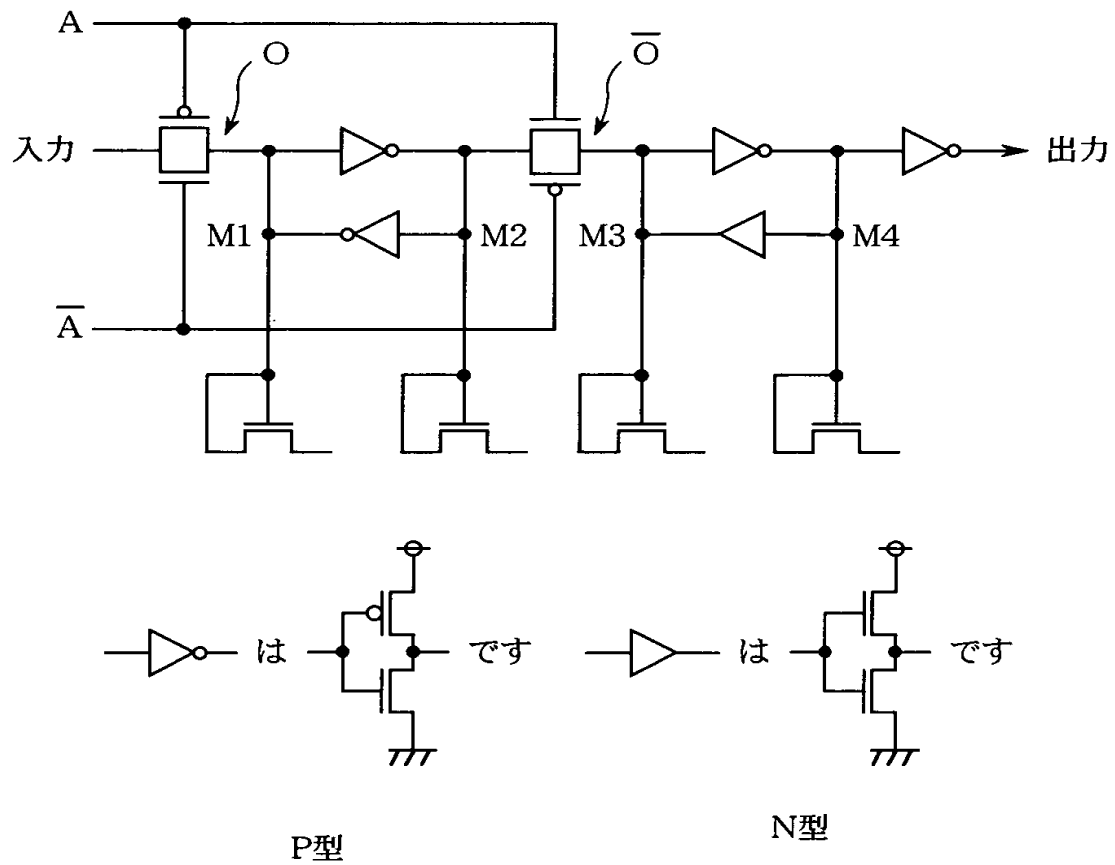
【図 27】



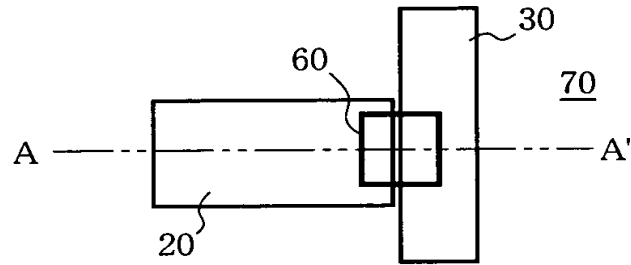
【図 28】



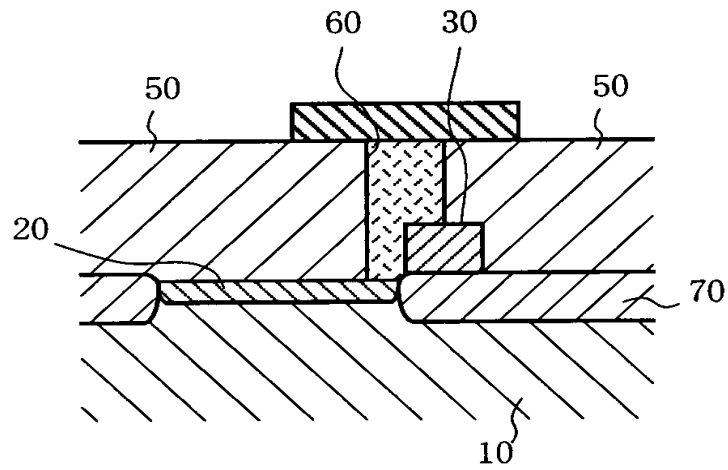
【図 2 9】



【図 3 0】



【図 3 1】



【書類名】 要約書

【要約】

【課題】 メモリセルの微細化に伴い、パッケージから放出される $\alpha$ 線や宇宙からの中性子線により記憶データを反転させるソフトエラーが生じ、このソフトエラー耐性を上げるためには、大きな面積を必要とする課題があった。

【解決手段】 ゲート電極と、ソース・ドレイン端子を形成する拡散層とを接続する共通コンタクトホールでトランジスタを形成し、このトランジスタのゲート電極と基板間の容量及びゲート電極とソース・ドレイン端子間の容量を付加した接続端子とを備えたものである。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社